

Retrascope - Task #4897

[verilog][printer][smv] Разработка принтера моделей в SMV-формат

05/07/2014 11:10 AM - Alexander Kamkin

Status:	Rejected	Start date:	05/07/2014
Priority:	Normal	Due date:	
Assignee:	Павел Шестаков	% Done:	0%
Category:		Estimated time:	0.00 hour
Target version:	1.0	Published in build:	
Detected in build:	svn		

Description

Требуется разработать генератор кода на языке SMV по модели синхронной аппаратуры.

1. Препроцессов конструкций generate - нужно разработать интерпретатор конструкций generate (прежде всего, цикла generate). Возможны два варианта:
 1. Трансформация AST (макроподстановки).
 2. Обработка на лету - интерпретировать конструкции generate в процессе обхода (этот вариант предпочтительней).
2. Трансформатор выражений (выражения представлены с помощью библиотеки Fortress) - нужно средствами Fortress представить выражения в базисе операций SMV.
3. Транслятор основных конструкций (процессов always/initial и управляющих инструкций if/case/for/...).

History

#1 - 05/26/2014 08:37 AM - Alexander Kamkin

- Subject changed from [smv][printer] Разработка принтера моделей в SMV-формат to [verilog][printer][svn] Разработка принтера моделей в SMV-формат

#2 - 07/22/2014 02:02 PM - Sergey Smolov

- Subject changed from [verilog][printer][svn] Разработка принтера моделей в SMV-формат to [verilog][printer][smv] Разработка принтера моделей в SMV-формат

#3 - 11/07/2014 03:09 PM - Alexander Kamkin

- Status changed from New to Rejected

#4 - 09/12/2017 03:44 PM - Sergey Smolov

- Target version changed from 2.0 to 1.0